

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshihiro MINAMI

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SPIRAL INDUCTOR AND METHOD FOR FABRICATING SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE HAVING SAME

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-295823	September 28, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

J1046 U.S. PTO
09/960333
09/24/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 9月28日

出 願 番 号

Application Number:

特願2000-295823

出 願 人

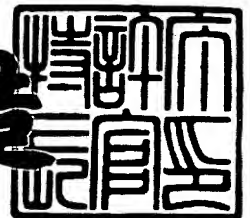
Applicant (s):

株式会社東芝

2001年 3月 9日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3017982

【書類名】 特許願

【整理番号】 12581001

【提出日】 平成12年 9月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01F 27/00
H01L 27/00

【発明の名称】 スパイラルインダクタおよびこれを備える半導体集積回路装置の製造方法

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 南 良 博

【特許出願人】

【識別番号】 000003078

【住所又は居所】 神奈川県川崎市幸区堀川町 7 2 番地

【氏名又は名称】 株式会社 東 芝

【代理人】

【識別番号】 100064285

【弁理士】

【氏名又は名称】 佐 藤 一 雄

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100108785

【弁理士】

【氏名又は名称】 箱 崎 幸 雄

【手数料の表示】

【予納台帳番号】 004444

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スパイラルインダクタおよびこれを備える半導体集積回路装置の製造方法

【特許請求の範囲】

【請求項 1】

基板と、

前記基板の上面に形成され、上面が化学的機械的研磨工程を制御するためのダミー素子領域をなす凸部と、

前記基板上にスパイラル形状を有するように形成され、誘導素子をなす線状導電層と、を備え、

前記凸部は、前記線状導電層の直下の領域を除く領域に形成されるスパイラルインダクタ。

【請求項 2】

基板と、

前記基板の上面に形成され、上面が化学的機械的研磨工程を制御するためのダミー素子領域をなす凸部と、

前記基板上にスパイラル形状を有するように形成され、誘導素子をなす線状導電層と、

前記基板と前記線状導電層との間に形成され、前記凸部のシリサイド化を防止する保護膜と、

を備えるスパイラルインダクタ。

【請求項 3】

前記凸部は、前記線状導電層の直下の領域を除く領域に形成されることを特徴とする請求項 2 に記載のスパイラルインダクタ。

【請求項 4】

前記基板は、SOI 基板であり、

前記凸部は、前記 SOI 基板の SOI 層から形成されたことを特徴とする請求項 1 から 3 のいずれかに記載のスパイラルインダクタ。

【請求項 5】

基板と、前記基板上に形成されて誘導素子をなすスパイラル形状の線状導電層を含むスパイラルインダクタと、を備える半導体集積回路装置の製造方法であって、

前記線状導電層が形成される領域を除く領域に、上面が化学的機械的研磨工程を制御するためのダミー素子領域となる凸部が形成されるように前記基板の表面に素子分離用の溝を形成する工程を備える半導体集積回路装置の製造方法。

【請求項 6】

基板と、前記基板上にスパイラル形状を有するように形成されて誘導素子をなす線状導電層を含むスパイラルインダクタと、を備える半導体集積回路装置の製造方法であって、

上面が化学的機械的研磨工程を制御するためのダミー素子領域となる凸部が形成されるように前記基板の表面に素子分離用の溝を形成する工程と、

前記基板上に保護膜を成膜する工程と、

フォトリジストを用いたパターニングにより、前記誘導素子の形成予定領域を除く領域の前記保護膜を選択的に除去する工程と、

前記基板の表面をシリサイド化する工程と、
を備える半導体集積回路装置の製造方法。

【請求項 7】

前記凸部は、前記線状導電層の直下の領域を除く領域に形成されることを特徴とする請求項 6 に記載の半導体集積回路装置の製造方法。

【請求項 8】

前記基板は、S O I 基板であり、

前記凸部は、前記 S O I 基板の S O I 層から形成されることを特徴とする請求項 5 から 7 のいずれかに記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、基板上に渦巻状に形成されインダクタンス素子をなすスパイラルインダクタおよびこれを備える半導体集積回路装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

半導体集積回路装置 (Semiconductor Integrated Circuit: 以下、単に IC という) 内に配設されるインダクタンス機能素子の一つに、いわゆる平面スパイラルインダクタがある。これは、基板上に平面スパイラル (渦巻) 状の配線を形成し、このような構造により必要なインダクタンスを得るものである。

【 0 0 0 3 】

【発明が解決しようとする課題】

しかしながら、平面スパイラルインダクタを基板上に実際に形成した場合、スパイラル状配線と基板との間のカップリングを十分に抑制することができず、高周波エネルギーが一部基板内に逃げてしまうためにインダクタの特性 (Q 値) が低下する、という問題点があった。

【 0 0 0 4 】

以下、図面を参照しながらこの問題点を具体的に説明する。なお、以下の各図において同一の部分には同一の参照番号を付してその説明を適宜省略する。

【 0 0 0 5 】

図 19 は、従来の技術によるスパイラルインダクタの一例を示す平面図であり、図 20 は、図 19 に示すスパイラルインダクタの A-A 線に沿った断面図である。

【 0 0 0 6 】

図 19 および図 20 に示すスパイラルインダクタ 100 は、後述するダミー素子領域 2 を表面に有する基板 1 と、絶縁膜 3, 4 を介して基板 1 の上に形成された引出し用配線 5 と、絶縁膜 3, 4、引出し用配線 5 および絶縁膜 6 を介して基板 1 上に形成された第 2 層配線 7 と、第 2 層配線 7 を覆うように形成された保護膜 9 とを備える。引出し用配線 5 は、フォトリジストを用いたパターニングにより直線状に形成される。また、第 2 層配線 7 は、フォトリジストを用いたパターニングにより平面スパイラルの形状をなすように形成される。引出し用配線 5 の両端部のうち、スパイラルインダクタ 100 の中央側端部は、絶縁膜 6 内に形成されたコンタクト用ビア 8 を介して第 2 層配線 7 におけるスパイラル中心側の端

部と接続され、また、引出し用配線 5 のスパイラルインダクタ 1 0 0 の周縁側の端部は、I C 内の図示しない回路素子に接続されている。第 2 層配線 7 におけるスパイラル最外部の端部もまた、I C 内の図示しない他の回路素子に接続され、これにより、高周波回路が形成されている。

【 0 0 0 7 】

基板 1 の表面には、残部が島状に配置された凸部をなすように素子分離用の浅い溝が形成されている。これらの凸部は、その上面が数 μm 程度の S i 領域 2 をなし、これらの S i 領域 2 は、ダミー素子領域と呼ばれる。浅い溝には、絶縁膜 3 が埋め込まれ、これにより S T I (Shallow Trench Insulator) の構造が形成される。このようなダミー素子領域 2 を基板表面に設ける理由は、次の通りである。

【 0 0 0 8 】

上述した S T I による素子分離は、現在主流の素子分離方式となっており、この S T I 分離のプロセスにおいては、素子分離の溝を埋込む絶縁膜 3 を堆積した後、化学的機械的研磨 (Chemical Mechanical Polishing、以下、単に C M P という) の技術を用いて平坦化が行われる。しかしながら、この平坦化処理において、基板表面に広いフィールド領域 (約百 μm 以上) が存在すると、その領域だけが集中的に削られるディッシングという現象が発生する。平坦化プロセスにおけるこのような問題を解決するために、ダミー素子領域を島状に配置する方法が採用されている。特に、比較的大きなインダクタンス、例えば数 n H を得る場合は、スパイラルインダクタのサイズが数百 μm となるため、ダミー素子領域を配置してディッシングを防止することが必須となる。

【 0 0 0 9 】

しかしながら、ダミー素子領域を設けることにより次のような 2 つの問題点が新たに発生した。

【 0 0 1 0 】

まず、図 2 0 に示すように、ダミー素子領域 2 とインダクタ配線 5, 7 との間の距離が凸部の段差分だけ短くなるので、特に配線直下のダミー素子領域 2 を通って高周波エネルギーの一部が基板 1 内に漏れてしまうという問題がある。

【 0 0 1 1 】

また、近年の半導体製造プロセスでは、一般的に、能動素子を高性能化するために Si の表面をシリサイド化している。このとき、インダクタ下部のダミー素子領域 2 の表面も同時にシリサイド化されてしまう。このことはインダクタの直下に非常に低抵抗の層が形成されることを意味し、これによりインダクタの特性 (Q 値) が劣化する、という問題があった。

【 0 0 1 2 】

本発明は上記事情に鑑みてなされたものであり、その目的は、Q 値低下の原因となる基板とのカップリング (容量) が小さく、回路全体の性能の向上を図り得るスパイラルインダクタおよびこれを備える半導体集積回路装置の製造方法を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】

本発明は、以下の手段により上記課題の解決を図る。

【 0 0 1 4 】

即ち、本発明の第 1 の態様によれば、

基板と、この基板の上面に形成され、上面が化学的機械的研磨工程を制御するためのダミー素子領域をなす凸部と、上記基板上にスパイラル形状を有するように形成され、誘導素子をなす線状導電層と、を備え、上記凸部は、上記線状導電層の直下の領域を除く領域に形成されるスパイラルインダクタが提供される。

【 0 0 1 5 】

上記ダミー素子領域をなす上記凸部が上記線状導電層の直下の領域を除く領域に形成されるので、CMP によるデッシングを最小限に抑えながら、上記線状導電層と上記基板とのカップリングを小さくすることが可能になる。この結果、インダクタの Q 値を大きな値に維持することができる。

【 0 0 1 6 】

また、本発明の第 2 の態様によれば、

基板と、この基板の上面に形成され、上面が化学的機械的研磨工程を制御するためのダミー素子領域をなす凸部と、上記基板上にスパイラル形状を有するよう

に形成され、誘導素子をなす線状導電層と、上記基板と上記線状導電層との間に形成され、上記凸部のシリサイド化を防止する保護膜と、を備えるスパイラルインダクタが提供される。

【 0 0 1 7 】

上記基板と上記線状導電層との間に形成されて上記凸部のシリサイド化を防止する保護膜を備えるので、基板上の上記誘導素子以外の他の素子部のシリサイド化工程においても上記誘導素子の領域におけるダミー素子領域がシリサイド化されることがない。これにより、上記ダミー素子領域の低抵抗化を防止することができる。この結果、上記線状導電層と上記基板とのカップリングが小さくなり、インダクタのQ値を大きな値に維持することができる。

【 0 0 1 8 】

本発明の第2の態様によるスパイラルインダクタにおいて、上記凸部は、上記線状導電層の直下の領域を除く領域に形成されることが望ましい。この場合は、上記線状導電層と上記基板とのカップリングがさらに小さくなり、インダクタのQ値を確実に維持することができる。

【 0 0 1 9 】

また、本発明の第3の態様によれば、

基板と、この基板上に形成されて誘導素子をなすスパイラル形状の線状導電層を含むスパイラルインダクタと、を備える半導体集積回路装置の製造方法であって、上記線状導電層が形成される領域を除く領域に、上面が化学的機械的研磨工程を制御するためのダミー素子領域となる凸部が形成されるように上記基板の表面に素子分離用の溝を形成する工程を備える半導体集積回路装置の製造方法が提供される。

【 0 0 2 0 】

上記線状導電層が形成される領域を除く領域に、上面が化学的機械的研磨工程を制御するためのダミー素子領域となる凸部を形成するので、上記化学的機械的研磨工程によるデッシングを最小限に抑えながら、上記線状導電層と上記基板とのカップリングを小さくすることができる。この結果、インダクタのQ値を大きな値に維持するスパイラルインダクタを備える半導体集積回路装置を簡素な方法

で製造することができる。

【0021】

また、本発明の第4の態様によれば、

基板と、この基板上にスパイラル形状を有するように形成されて誘導素子をなす線状導電層を含むスパイラルインダクタと、を備える半導体集積回路装置の製造方法であって、上面が化学的機械的研磨工程を制御するためのダミー素子領域となる凸部が形成されるように上記基板の表面に素子分離用の溝を形成する工程と、上記基板上に保護膜を成膜する工程と、フォトリジストを用いたパターニングにより、上記誘導素子の形成予定領域を除く領域の上記保護膜を選択的に除去する工程と、上記基板の表面をシリサイド化する工程と、を備える半導体集積回路装置の製造方法が提供される。

【0022】

上記保護膜を選択的に除去して上記誘導素子の形成予定領域における上記保護膜を残存させるので、シリサイド化の工程においても上記誘導素子の領域における上記ダミー素子領域についてはシリサイド化を免れる。これにより、上記ダミー素子領域の低抵抗化を防止する。この結果、上記線状導電層と上記基板とのカップリングが小さく、インダクタのQ値を大きな値に維持できるスパイラルインダクタを備える半導体集積回路装置を簡素な方法で製造することができる。

【0023】

前述した本発明の第4の態様による半導体集積回路装置の製造方法において、上記凸部は、上記線状導電層の直下の領域を除く領域に形成されることが望ましい。この場合は、上記線状導電層と上記基板とのカップリングがさらに小さくなるので、インダクタのQ値を確実に維持できるスパイラルインダクタを備える半導体集積回路装置を簡素な方法で製造することができる。

上述した本発明にかかるスパイラルインダクタおよび半導体集積装置の製造方法において、上記基板は、SOI基板でも良い。この場合、上記凸部は、上記SOI基板のSOI層から形成される。

【0024】

【発明の実施の形態】

以下、本発明の実施の形態のいくつかについて図面を参照しながら説明する。

【0025】

(1) 第1の実施形態

図1は、本発明にかかるスパイラルインダクタの第1の実施の形態を示す平面図であり、また、図2は、図1のA-A線に沿った略示断面図である。本実施形態のスパイラルインダクタ10の特徴は、基板1の表面におけるダミー素子領域12の配置態様にある。

【0026】

図19および図20との対比において明らかなように、図1および図2に示すスパイラルインダクタ10は、スパイラル配線5、7の直下の領域を避けるように基板1表面に配置されたダミー素子領域12を備える。このような構造でスパイラルインダクタを形成することにより、CMPによるデッシングを最小限に抑えながら、スパイラル配線5、7と基板1とのカップリングを小さくすることが可能になる。この結果、インダクタのQ値を大きな値に維持することができる。

【0027】

ここで、スパイラルインダクタ10のサイズは、数百 μm □である。また、スパイラルインダクタ10のその他の構成は、図19および図20に示すスパイラルインダクタ100と実質的に同一である。なお、本実施形態では、2層に跨る配線を用いたインダクタの形態について説明したが、3層以上に跨る多層配線を用いても良い。この点は、以下に説明する実施形態のいずれについても同様である。

【0028】

(2) 第2の実施形態

図3は、本発明にかかるスパイラルインダクタの第2の実施の形態を示す平面図であり、また、図4は、図3のA-A線に沿った略示断面図である。本実施形態は、前述した第1の実施形態をSOI (Silicon On Insulator) 基板に適用した形態である。

【0029】

本実施形態のスパイラルインダクタ20は、図1および図2に示すスパイラル

インダクタ 1 0 が備える基板 1 およびダミー素子領域 1 2 に代えて、基板 1 1 と、基板 1 1 上に形成された絶縁膜 2 1 と、絶縁膜 2 1 上に形成された S O I 層をエッチング加工して形成されたダミー素子領域 2 2 とを備える。絶縁膜 2 1 は、S O I 層と支持基板 1 1 とを分離する埋め込み酸化膜である。スパイラルインダクタ 2 0 のその他の構成は、図 1 および図 2 に示すスパイラルインダクタ 1 0 と実質的に同一である。また、ダミー素子領域 2 2 は、図 1 および図 2 に示すダミー素子領域 1 2 と同様に、スパイラル配線 5, 7 の直下の領域を避けるように配置される。

【 0 0 3 0 】

本実施形態によれば、S O I 基板においてもこのような構成でスパイラルインダクタを形成することにより、CMP によるディッシングを最小限に抑制しながら、S O I 層を介したスパイラル配線と支持基板とのカップリングを小さくすることが可能になる。この結果、インダクタの Q 値を大きな値に維持することができる。

【 0 0 3 1 】

(3) 第 3 の実施形態

図 5 は、本発明にかかるスパイラルインダクタの第 3 の実施の形態を示す平面図であり、また、図 6 は、図 5 の A - A 線に沿った略示断面図である。本実施形態のスパイラルインダクタ 3 0 の特徴は、基板 1 の表面におけるダミー素子領域 3 2 の形状にある。

【 0 0 3 2 】

図 5 および図 6 に示すスパイラルインダクタ 3 0 は、約 $100\mu\text{m}$ □ ~ 約 $200\mu\text{m}$ □ のサイズを有する。また、図 1 および図 2 との対比において明らかなように、スパイラルインダクタ 3 0 は、中心部と周辺部を残してスパイラル配線 5, 7 の領域に応じた領域が除去された格子形状のダミー素子領域 3 2 を備える。このような形状は、本実施形態のようにインダクタのサイズが比較的小さい場合に特に有効である。スパイラルインダクタ 3 0 のその他の構成は、図 1 および図 2 に示すスパイラルインダクタ 1 0 と実質的に同一である。

【 0 0 3 3 】

このように、本実施形態のスパイラルインダクタ30は、スパイラル配線の直下の領域に応じた領域が除去された格子形状のダミー素子領域32を備えるので、CMPによるデッシングを最小限に抑えながら、スパイラル配線5、7と基板1とのカップリングを小さくすることが可能になる。この結果、インダクタのQ値を大きな値に維持することができる。

【0034】

(4) 第4の実施形態

図7は、本発明にかかるスパイラルインダクタの第4の実施の形態を示す平面図であり、また、図8は、図7のA-A線に沿った略示断面図である。本実施形態は、前述した第3の実施形態をSOI基板に適用した形態である。

【0035】

本実施形態のスパイラルインダクタ40は、図5および図6に示すスパイラルインダクタ30が備える基板1およびダミー素子領域32に代えて、基板11と、基板11上に形成された絶縁膜21と、絶縁膜21上に形成されたSOI層をエッチング加工して形成されたダミー素子領域42とを備える。絶縁膜21は、SOI層と支持基板11とを分離する埋め込み酸化膜である。スパイラルインダクタ40のサイズおよびその他の構成は、図5および図6に示すスパイラルインダクタ30と実質的に同一である。また、ダミー素子領域42は、図5および図6に示すダミー素子領域32と同様に、スパイラル配線5、7の直下の領域に応じた領域が除去された格子形状を有するように配置される。

【0036】

本実施形態によれば、SOI基板においてもこのような構成でスパイラルインダクタを形成することにより、CMPによるデッシングを最小限に抑制しながら、SOI層を介したスパイラル配線と支持基板とのカップリングを小さくすることが可能になる。この結果、インダクタのQ値を大きな値に維持することができる。

【0037】

(5) 第5の実施形態

図9は、本発明にかかるスパイラルインダクタの第5の実施の形態を示す平面

図であり、また、図 1 0 は、図 9 の B - B 線に沿った略示断面図である。本実施形態のスパイラルインダクタ 5 0 の特徴は、基板 1 の表面におけるダミー素子領域 2 を覆う非シリサイド化用の保護膜 5 6 をさらに備える点にある。

【 0 0 3 8 】

図 1 9 および図 2 0 との対比において明らかなように、図 9 および図 1 0 に示すスパイラルインダクタ 5 0 は、ダミー素子領域 2 上に形成されたバッファ酸化膜 5 4 と、基板 1 上のインダクタ領域に形成された保護膜 5 6 とを備える。スパイラルインダクタ 5 0 のサイズおよびその他の構成は、図 1 9 および図 2 0 に示すスパイラルインダクタ 1 0 0 と実質的に同一である。

【 0 0 3 9 】

本実施形態のスパイラルインダクタ 5 0 は、インダクタ領域におけるダミー素子領域 2 を覆う保護膜 5 6 を備えるので、基板 1 上の図示しない領域に形成される能動素子部のシリサイド工程においてもインダクタ領域のダミー素子領域 2 がシリサイド化されることがない。これにより、ダミー素子領域 2 の低抵抗化を防止することができる。この結果、スパイラル配線 5, 7 と基板 1 とのカップリングが小さくなり、インダクタの Q 値を大きな値に維持することができる。

【 0 0 4 0 】

本実施形態のスパイラルインダクタ 5 0 の製造方法について図 1 1 および図 1 3 の略示断面図を参照しながら説明する。

【 0 0 4 1 】

まず、図 1 1 に示すように、基板 1 の表面にダミー素子領域 2 を形成するための浅い溝を形成する。次に、埋め込み材となる絶縁膜 3 を全面に堆積し、平坦化 CMP を経てダミー素子領域 2 の表面を露出させる。

【 0 0 4 2 】

次に、ゲート酸化膜の形成などのデバイスプロセスにより、図 1 2 に示すように、ダミー素子領域 2 の表面にバッファ酸化膜 5 4 を形成し、その後、バッファ酸化膜 5 4 上に窒化シリコン膜を形成する。次に、フォトレジストを用いたパターンニングにより、インダクタ領域で残存するように、窒化シリコン膜を選択的に除去し、保護膜 5 6 とする。

【 0 0 4 3 】

その後、基板 1 上の図示しない他の領域については、シリサイド化の工程により、ダミー素子領域 2 が低抵抗化されるが、インダクタ領域内のダミー素子領域 2 については窒化シリコンでなる保護膜 5 6 で覆われ保護されているので、シリサイド化されない。従って、インダクタ領域のダミー素子領域 2 が低抵抗化されないで、インダクタ特性の劣化が防止される。

【 0 0 4 4 】

その後は、既知のプロセスにより、絶縁膜 4、引出し用配線 5、絶縁膜 6、ビアホール 8、第 2 層配線 7、および保護膜 9 を形成し、図 1 0 に示すように、スパイラルインダクタ 5 0 を完成させる。

【 0 0 4 5 】

なお、上述したスパイラルインダクタの製造方法においては、シリサイド化防止用の保護膜 5 6 をそのままインダクタ領域に残存させたが、シリサイド化の工程が終了した後にこれを除去することとしても良い。この点は、以下に説明する第 6 から第 8 の実施形態についても同様である。

【 0 0 4 6 】

(6) 第 6 の実施形態

図 1 3 は、本発明にかかるスパイラルインダクタの第 6 の実施の形態を示す平面図であり、また、図 1 4 は、図 1 3 の B - B 線に沿った略示断面図である。本実施形態は、前述した第 5 の実施形態を S O I 基板に適用した形態である。

【 0 0 4 7 】

本実施形態のスパイラルインダクタ 6 0 は、図 9 および図 1 0 に示すスパイラルインダクタ 5 0 が備える基板 1 およびダミー素子領域 2 に代えて、基板 1 1 と、基板 1 1 上に形成された絶縁膜 2 1 と、絶縁膜 2 1 上に形成された S O I 層をエッチング加工して形成されたダミー素子領域 6 2 とを備える。絶縁膜 2 1 は、S O I 層と支持基板 1 1 とを分離する埋め込み酸化膜である。スパイラルインダクタ 6 0 のサイズおよびその他の構成は、図 9 および図 1 0 に示すスパイラルインダクタ 5 0 と実質的に同一である。また、前述したダミー素子領域 2 と同様に、インダクタ領域におけるダミー素子領域 6 2 は、保護膜 5 6 に覆われてシリサ

イド化されないように保護されている。

【0048】

このように、SOI基板を用いる場合でもシリサイド化防止用の保護膜56を形成することにより、スパイラル配線下のダミー素子領域2の低抵抗化を防止することができる。この結果、スパイラル配線5, 7と基板1とのカップリングが小さくなり、インダクタのQ値を大きな値に維持することができる。

【0049】

(7) 第7の実施形態

上述した実施形態では、スパイラル配線の直下の領域を避けてダミー素子領域を配置した形態と、スパイラルインダクタを形成する領域で非シリサイド化用の保護膜をダミー素子領域上に形成する形態に分けて説明してきた。しかしながら、これらの形態は、決して選択的なものではないので、これらを組み合わせることにより、さらに大きな効果を奏することができる。

【0050】

図15は、本発明にかかるスパイラルインダクタの第7の実施の形態を示す平面図であり、また、図16は、図15のB-B線に沿った略示断面図である。本実施形態は、上述した第1の実施形態と第5の実施形態とを組み合わせたものである。

【0051】

即ち、図15および図16に示すスパイラルインダクタ70は、インダクタ配線5, 7の直下の領域を避けて配置されたダミー素子領域12と、ダミー素子領域12上に形成されたバッファ酸化膜76と、インダクタ領域におけるダミー素子領域12のシリサイド化を防止するための保護膜56とを備える。スパイラルインダクタ70のサイズおよびその他の構成は、図1および図2に示すスパイラルインダクタ10と実質的に同一である。

【0052】

このように、本実施形態によれば、ダミー素子領域12がスパイラル配線5, 7の直下の領域を避けるように配置され、かつ、インダクタ領域におけるダミー素子領域12のシリサイド化を防止する保護膜56を備えるので、スパイラル配

線 5, 7 と基板 1 とのカップリングがさらに小さくなる。この結果、インダクタの Q 値を確実に維持することが可能になる。

【 0 0 5 3 】

(8) 第 8 の実施形態

図 1 7 は、本発明にかかるスパイラルインダクタの第 8 の実施の形態を示す平面図であり、また、図 1 8 は、図 1 7 の B - B 線に沿った略示断面図である。本実施形態は、前述した第 7 の実施形態を S O I 基板に適用した形態である。

【 0 0 5 4 】

図 1 7 および図 1 8 に示すスパイラルインダクタ 8 0 は、図 1 5 および図 1 6 に示すスパイラルインダクタ 7 0 が備える基板 1 およびダミー素子領域 1 2 に代えて、基板 1 1 と、基板 1 1 上に形成された埋め込み酸化膜である絶縁膜 2 1 と、絶縁膜 2 1 上に形成された S O I 層をエッチング加工して形成されたダミー素子領域 2 2 とを備える。スパイラルインダクタ 8 0 のサイズおよびその他の構成は、図 1 5 および図 1 6 に示すスパイラルインダクタ 7 0 と実質的に同一である。また、ダミー素子領域 2 2 は、図 1 5 および図 1 6 に示すダミー素子領域 1 2 と同様に、スパイラル配線 5, 7 の直下の領域を避けて配置され、かつ、インダクタ領域におけるダミー素子領域 2 2 上には、ダミー素子領域 2 2 のシリサイド化を防止する保護膜 5 6 が設けられている。

【 0 0 5 5 】

本実施形態によれば、このような構成で S O I 基板においてもスパイラルインダクタを形成することにより、CMP によるディッシングを最小限に抑制しながら、S O I 層を介したスパイラル配線と支持基板とのカップリングをさらに小さくすることができる。この結果、インダクタの Q 値を確実に維持することが可能になる。

【 0 0 5 6 】

以上、本発明の実施の形態のいくつかについて説明したが、本発明は上記形態に限ることなくその要旨を逸脱しない範囲で種々変形して適用することができる。例えば、スパイラル配線は、矩形の螺旋形状を有する形態について説明したが、これに限ることなく、円形や八角形のものにも応用できる。また、ダミー素子

領域の形状も矩形状に限らず、例えば円形でも良い。さらに、基板は半導体基板でも絶縁基板でも良い。

【 0 0 5 7 】

【発明の効果】

以上詳述したとおり、本発明は、以下の効果を奏する。

【 0 0 5 8 】

即ち、本発明にかかるスパイラルインダクタによれば、CMPによるディッシングを最小限に抑制しながら、スパイラル配線と支持基板とのカップリングを小さくすることができる。これにより、高周波の漏れが小さく、Q値を確実に維持できるスパイラルインダクタが提供される。

【 0 0 5 9 】

また、本発明によれば、簡素な方法により、高周波の漏れが小さく、Q値を確実に維持できるスパイラルインダクタを提供することができる。

【図面の簡単な説明】

【図 1】

本発明にかかるスパイラルインダクタの第 1 の実施の形態を示す平面図である。

【図 2】

図 1 に示すスパイラルインダクタの A - A 線に沿った略示断面図である。

【図 3】

本発明にかかるスパイラルインダクタの第 2 の実施の形態を示す平面図である。

【図 4】

図 3 に示すスパイラルインダクタの A - A 線に沿った略示断面図である。

【図 5】

本発明にかかるスパイラルインダクタの第 3 の実施の形態を示す平面図である。

【図 6】

図 5 に示すスパイラルインダクタの A - A 線に沿った略示断面図である。

【図 7】

本発明にかかるスパイラルインダクタの第 4 の実施の形態を示す平面図である。

【図 8】

図 7 に示すスパイラルインダクタの A - A 線に沿った略示断面図である。

【図 9】

本発明にかかるスパイラルインダクタの第 5 の実施の形態を示す平面図である。

【図 1 0】

図 9 に示すスパイラルインダクタの B - B 線に沿った略示断面図である。

【図 1 1】

図 9 に示すスパイラルインダクタの製造方法を説明する略示断面図である。

【図 1 2】

図 9 に示すスパイラルインダクタの製造方法を説明する略示断面図である。

【図 1 3】

本発明にかかるスパイラルインダクタの第 6 の実施の形態を示す平面図である。

【図 1 4】

図 1 3 に示すスパイラルインダクタの B - B 線に沿った略示断面図である。

【図 1 5】

本発明にかかるスパイラルインダクタの第 7 の実施の形態を示す平面図である。

【図 1 6】

図 1 5 に示すスパイラルインダクタの B - B 線に沿った略示断面図である。

【図 1 7】

本発明にかかるスパイラルインダクタの第 8 の実施の形態を示す平面図である。

【図 1 8】

図 1 7 に示すスパイラルインダクタの B - B 線に沿った略示断面図である。

【図 1 9】

従来の技術によるスパイラルインダクタの一例の構造を示す平面図である。

【図 2 0】

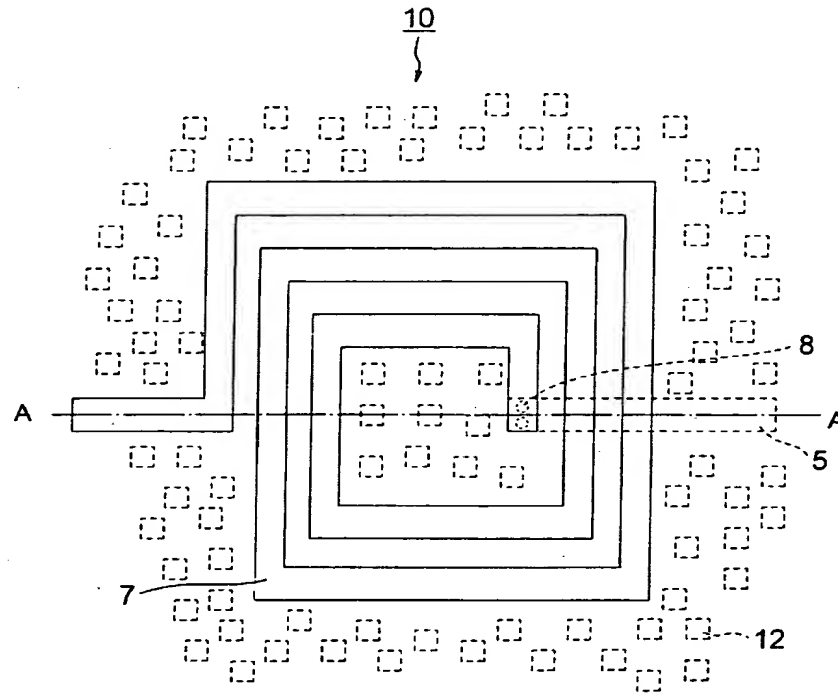
図 1 9 に示すスパイラルインダクタの A - A 線に沿った断面図である。

【符号の説明】

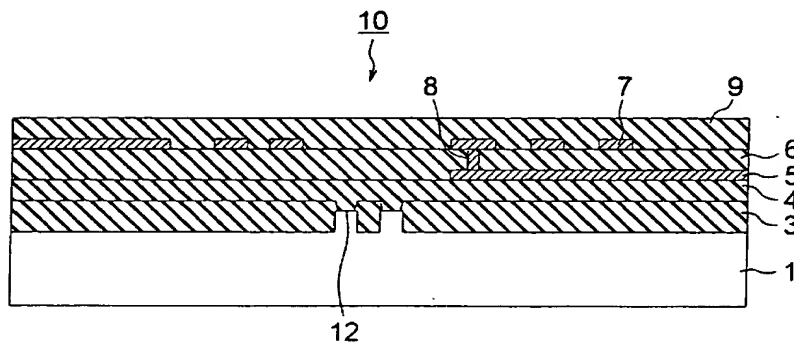
- 1, 1 1 基板
- 2, 1 2, 2 2, 3 2, 4 2, 6 2 ダミー素子領域
- 3, 4, 6, 7 4 絶縁膜
- 5 引出し用配線
- 7 第 2 層配線
- 8 コンタクト用ビア
- 1 0, 2 0, 3 0, 4 0, 5 0, 6 0, 7 0, 8 0 スパイラルインダクタ
- 1 1 S O I 基板
- 2 1 埋め込み酸化膜
- 5 4, 7 6 バッファ酸化膜
- 5 6 保護膜（窒化シリコン膜）

【書類名】 図面

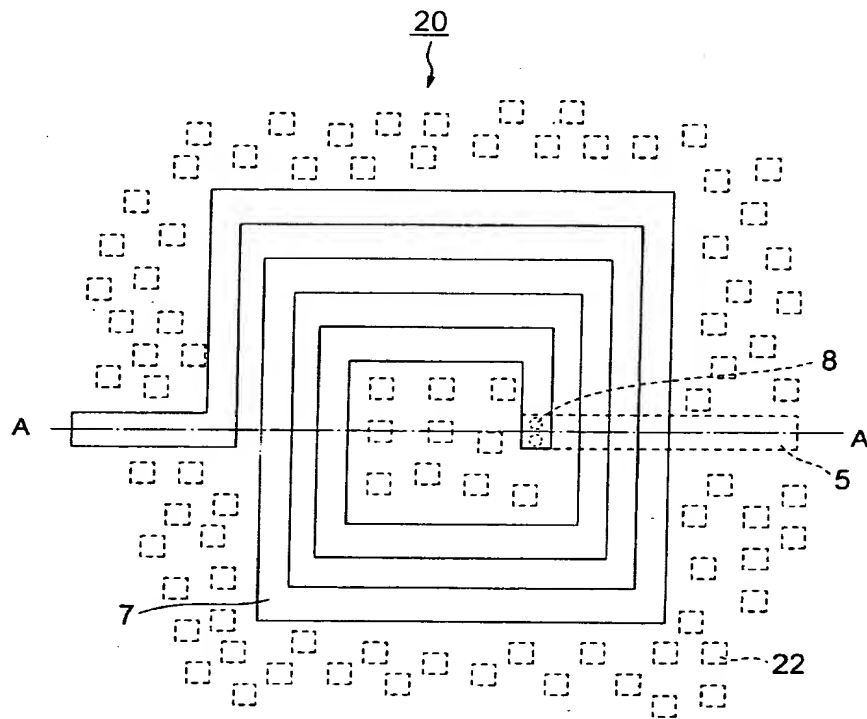
【図 1】



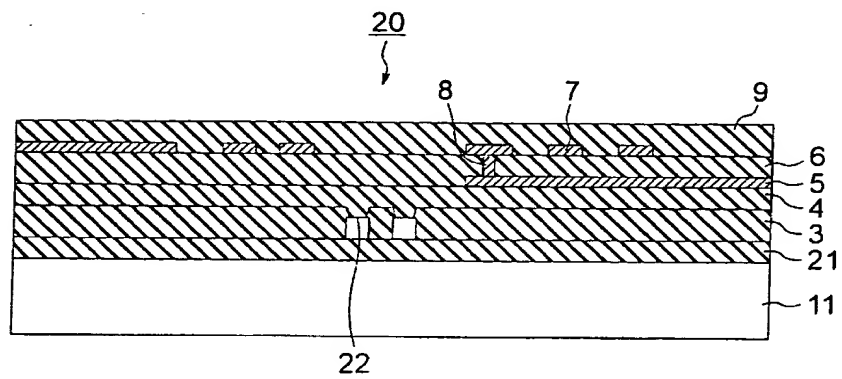
【図 2】



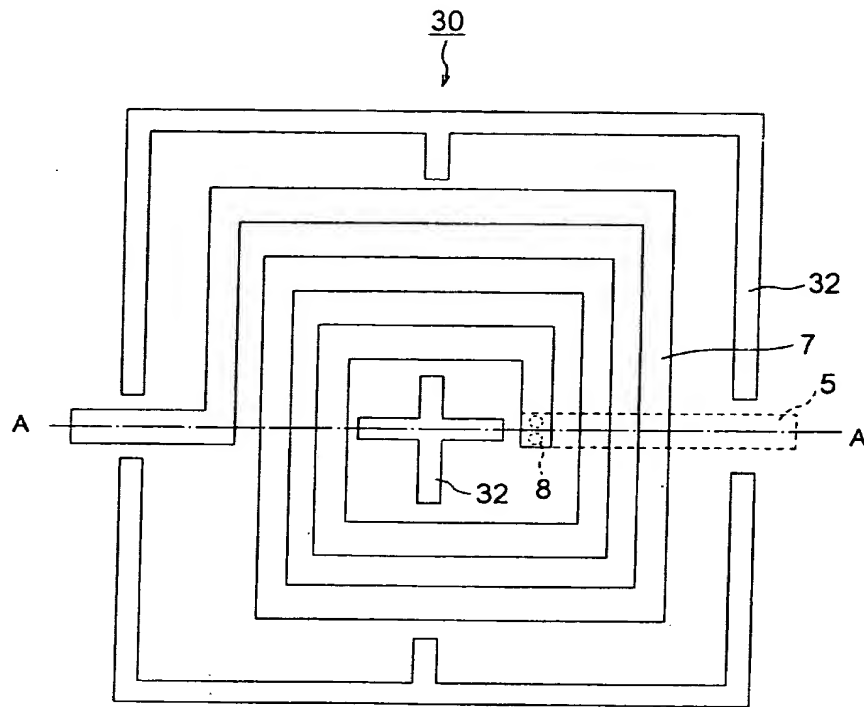
【図 3】



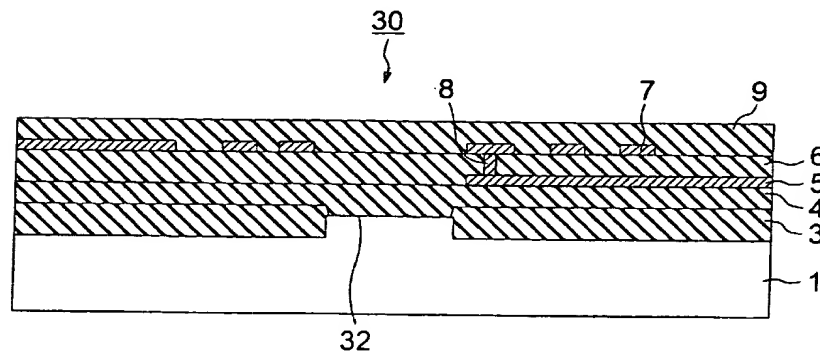
【図 4】



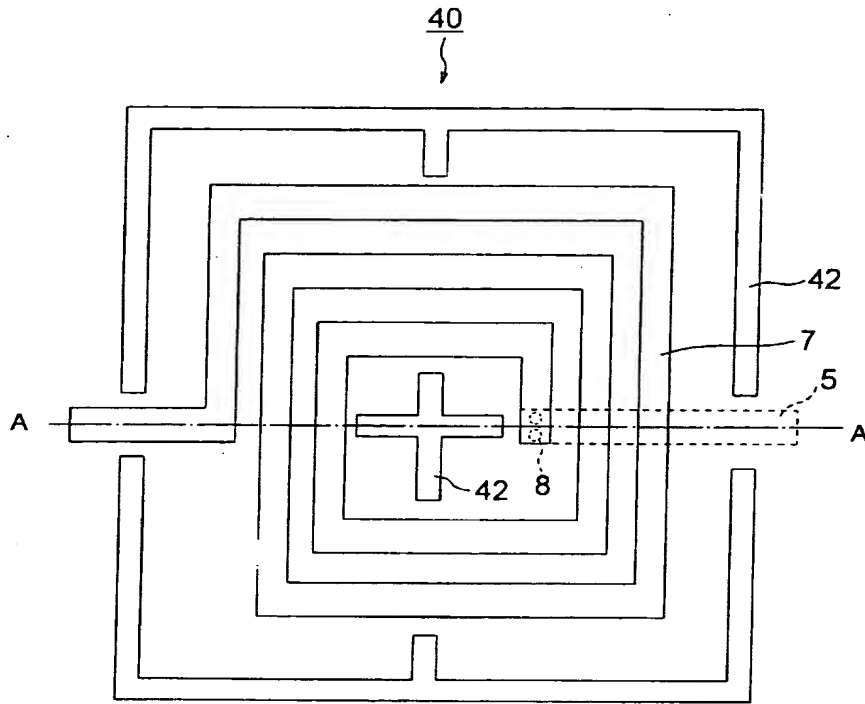
【図 5】



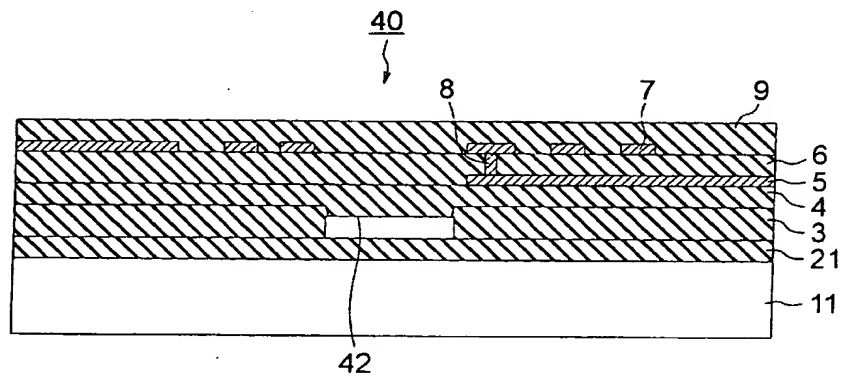
【図 6】



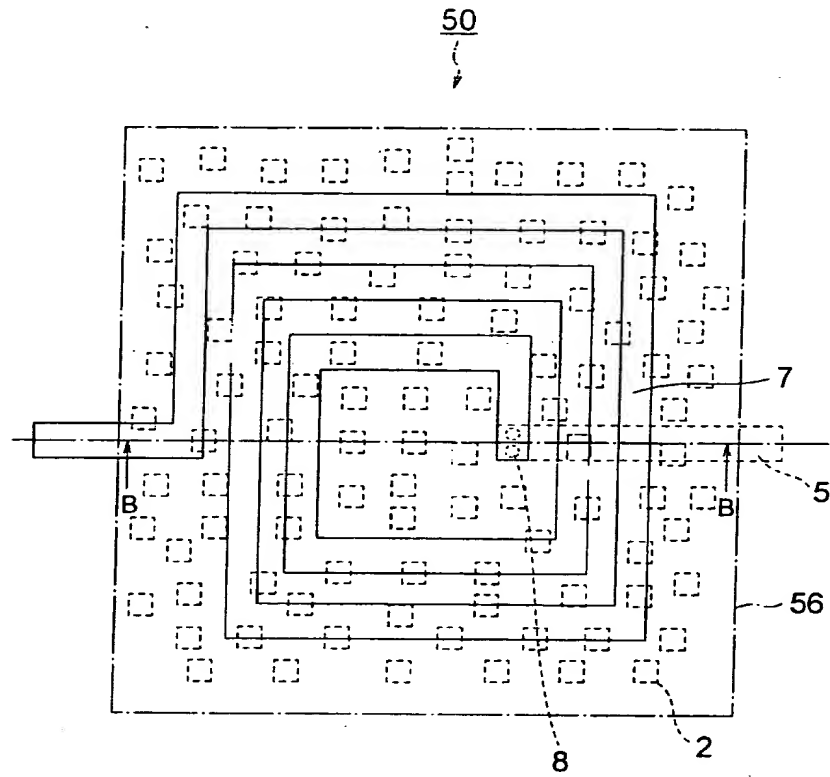
【図 7】



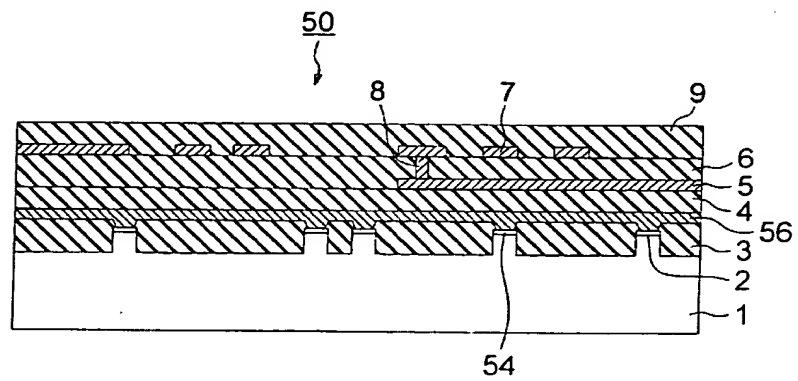
【図 8】



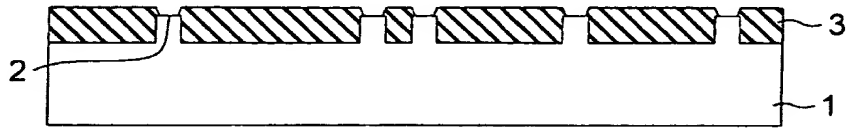
【図 9】



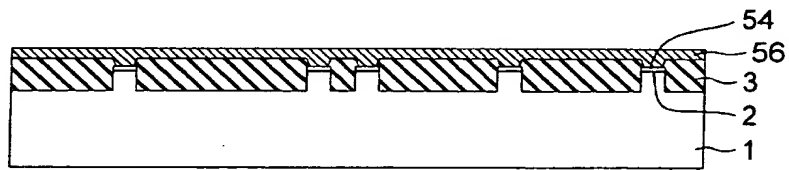
【図 10】



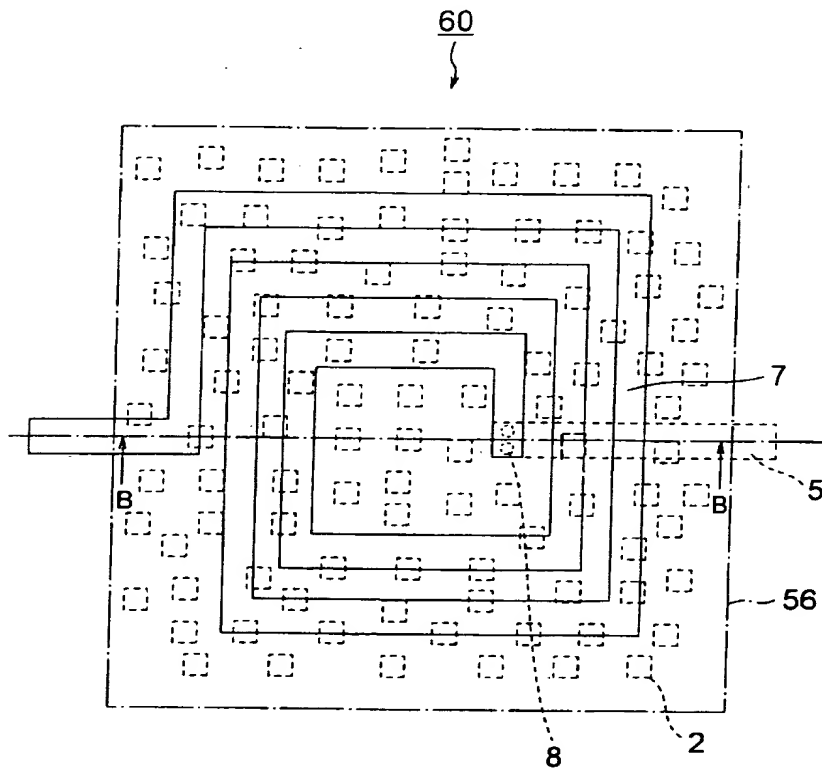
【図 1 1】



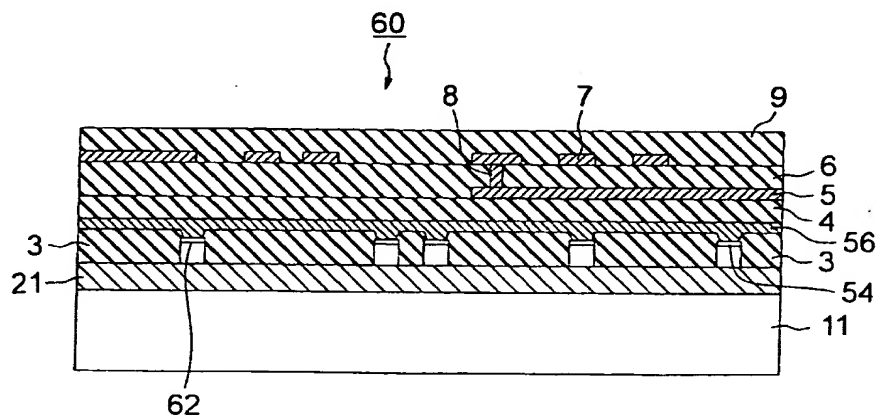
【図 1 2】



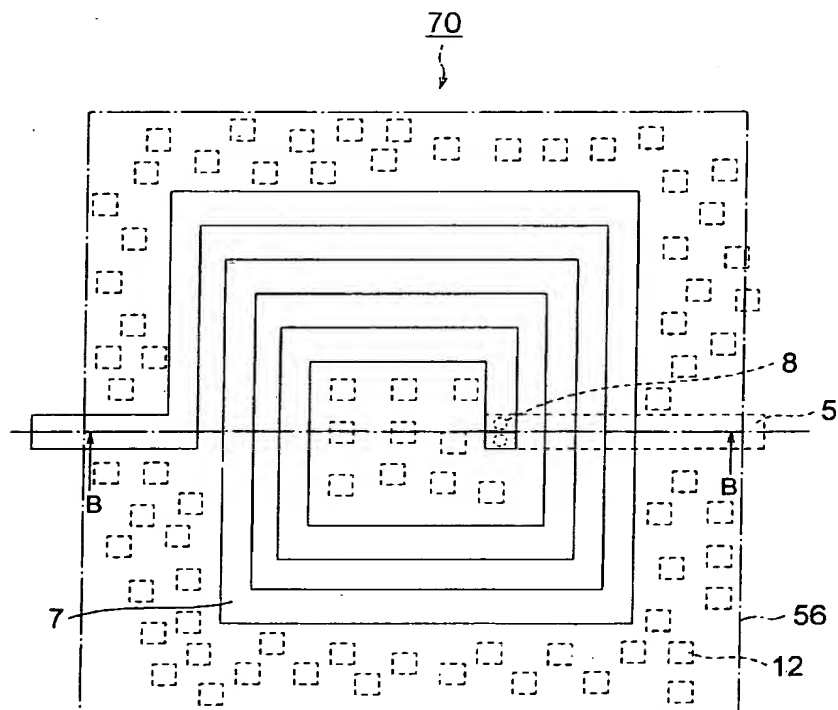
【図 1 3】



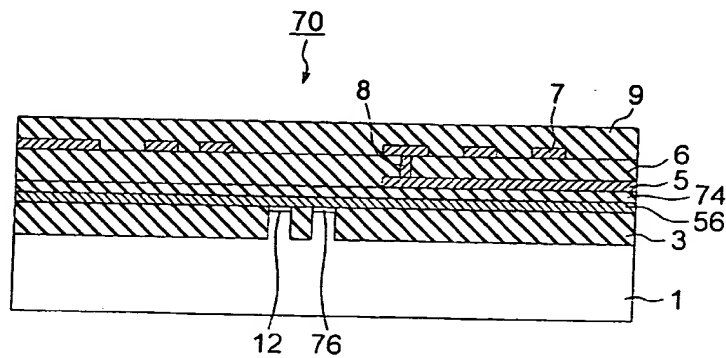
【図 1 4】



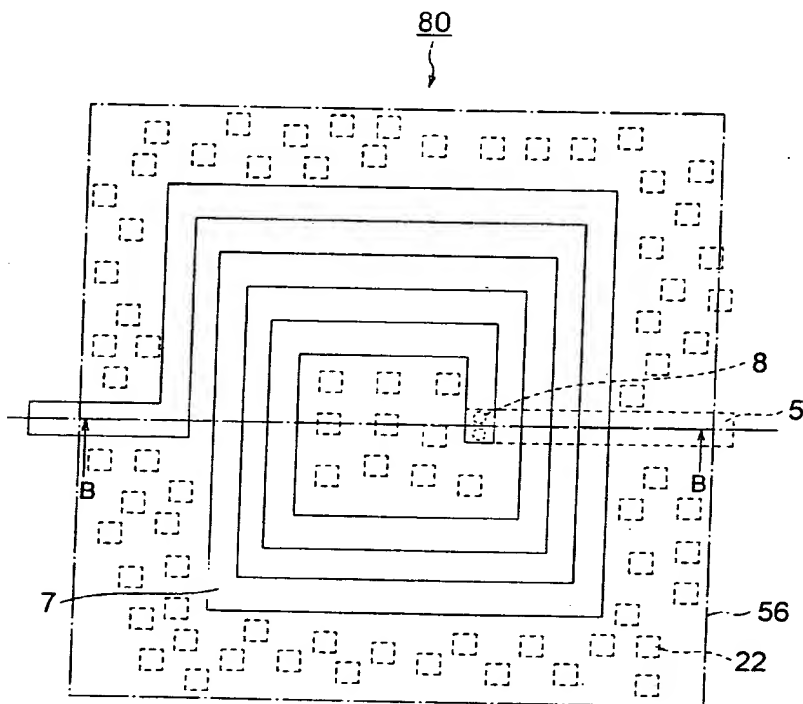
【図 1 5】



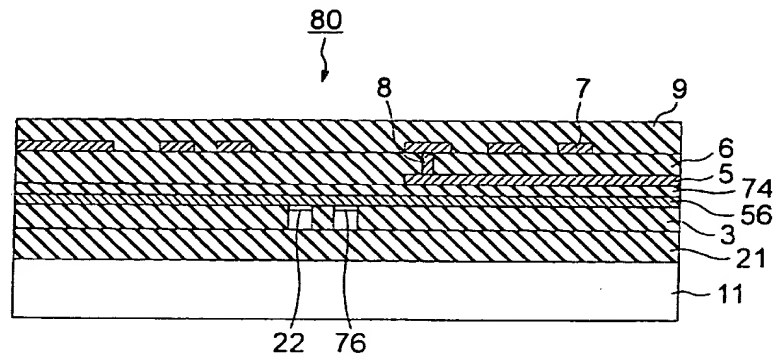
【図 16】



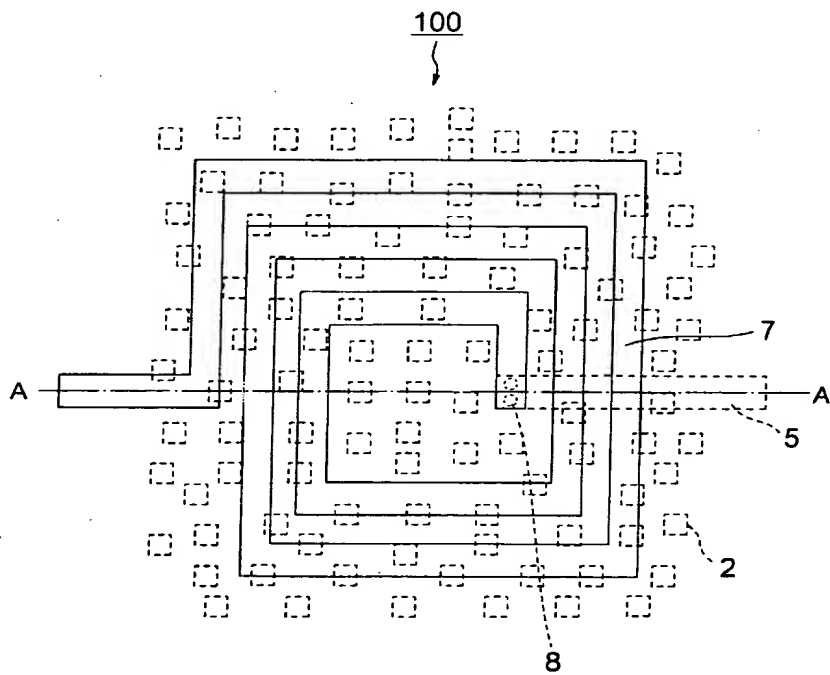
【图 1 7】



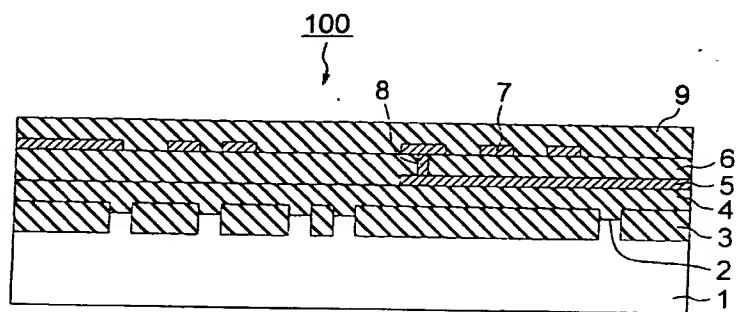
【図 18】



【図 19】



【図 2 0】



【書類名】 要約書

【要約】

【課題】 基板とのカップリング（容量）が小さく、回路全体の性能の向上を図り得るスパイラルインダクタおよびこれを備える半導体集積回路装置の製造方法を提供する。

【解決手段】 基板 1 と、基板 1 上に形成されて誘導素子をなすスパイラル形状の線状導電層 5，7 とを備えるスパイラルインダクタ 10 において、線状導電層 5，7 の直下の領域を除く領域に、上面が CMP 工程を制御するためのダミー素子領域 12 となる凸部が形成されるように、基板 1 の表面に素子分離用の溝を形成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝